

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-017890

(43)Date of publication of application : 17.01.1997

(51)Int.Cl. H01L 21/8247
 H01L 29/788
 H01L 29/792
 H01L 27/115

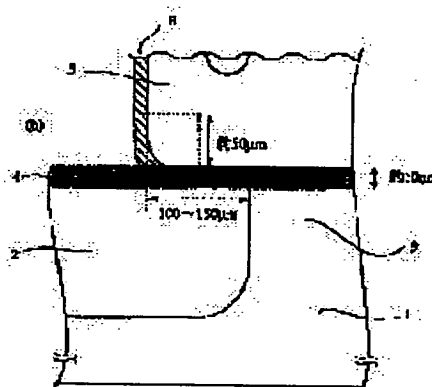
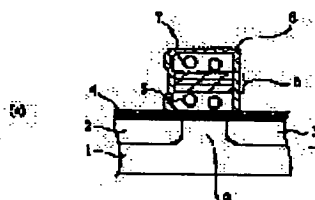
(21)Application number : 07-160486 (71)Applicant : TOSHIBA CORP
 (22)Date of filing : 27.06.1995 (72)Inventor : SONODA MASAHISA
 TSUNODA HIROAKI

(54) MANUFACTURE OF NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To avoid causing the overerase in flash EEPROM.

CONSTITUTION: On the surface of a semiconductor substrate 1 a tunnel insulation film 4, floating gate electrode material, insulation film and control gate electrode material are deposited and patterned to form a floating gate electrodes 5 and control gate electrodes 6, then the floating electrode material is isotropically etched by giving priority to it through a specifically patterned resist used as a mask to increase the radius of curvature of the corner of the electrode 5 at the side of the source region 2. The resist is then removed, it is heat treated in an atmosphere of O₂, the electrodes 5 are covered with an insulation film 8, the corners of these electrodes 5 are cut to increase their radius of curvature over 10nm, thereby forming source regions 2 and drain regions 3. Thus, the controllability of the amount of electrons in the electrode 5 can be improved, and hence the overerase can be avoided and memory hold characteristic can be improved.



LEGAL STATUS

[Date of request for examination] 17.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平9-17890

(43)公開日 平成9年(1997)1月17日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	FI	技術表示箇所
H01L	21/8247		29/78	371
	29/788		27/10	434
	29/792			
	27/115			

審査請求 未請求 請求項の数8 OL (全12頁)

(21)出願番号 特願平7-160486
 (22)出願日 平成7年(1995)6月27日

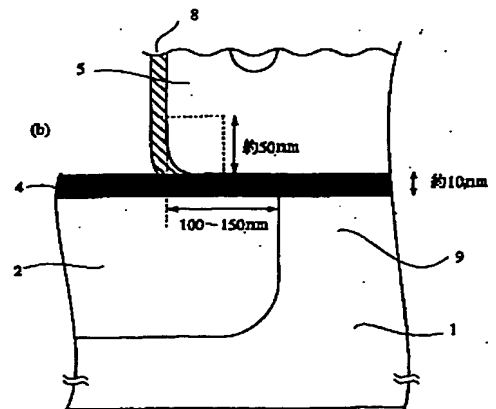
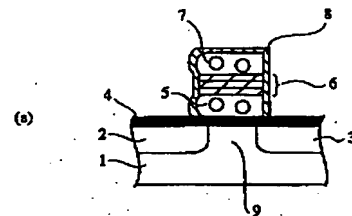
(71)出願人 000003078
 株式会社東芝
 神奈川県川崎市幸区堀川町72番地
 (72)発明者 園田 真久
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝多摩川工場内
 (72)発明者 角田 弘昭
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝多摩川工場内
 (74)代理人 弁理士 大胡 典夫

(54)【発明の名称】 不揮発性半導体記憶装置の製造方法

(57)【要約】

【目的】 フラッシュEEPROMにおいて、過消去の発生を防止すること。

【構成】 半導体基板1 表面に順にトンネル絶縁膜4、浮遊ゲート電極材料、絶縁膜、制御ゲート電極材料を堆積し、これらトンネル絶縁膜4、浮遊ゲート電極材料、絶縁膜、制御ゲート電極材料をパターニングし浮遊ゲート電極5及び制御ゲート電極6を形成した後、所定パターニングしたレジストをマスクに浮遊ゲート電極材料を優先的に等方性エッチングし、浮遊ゲート電極5のソース領域2側の角の曲率半径を大きくする。そして、レジストを除去して酸素雰囲気中で熱処理を行い、浮遊ゲート電極5を絶縁膜8で覆うと共に、浮遊ゲート電極5の角の曲率半径を10nm以上に加工し、ソース領域2及びドレイン領域3を形成する。これより、浮遊ゲート電極5中の電子の量の制御性を向上できるため、過消去を防止でき、且つ記憶保持特性を向上できる。



(2)

【特許請求の範囲】

【請求項1】 半導体基板上にトンネル絶縁膜、浮遊ゲート電極形成材料、絶縁膜、制御ゲート電極形成材料を順次形成する工程と、

所定パターンニングしたレジストをマスクに前記制御ゲート電極形成材料、絶縁膜、及び浮遊ゲート電極形成材料を異方性エッチングすることより、浮遊ゲート電極及び制御ゲート電極を形成した後、このレジストを除去する工程と、

前記浮遊ゲート電極及び前記制御ゲート電極の1つの側面が露出するよう前記浮遊ゲート電極の上にレジストを形成する工程と、

このレジストをマスクに前記浮遊ゲート電極の露出した側面を等方性エッチングし、前記浮遊ゲート電極の端部のうち前記トンネル絶縁膜と接するコーナー部分の曲率半径を大きくする工程と、

等方性エッチング後、前記レジストを除去する工程と、レジスト除去後、熱処理を行い前記浮遊ゲート電極のコーナー部分の曲率半径を10nm以上にする工程と、

前記制御ゲート電極下の前記半導体基板にチャンネル領域を規定するように、曲率半径が10nm以上の前記浮遊ゲート電極のコーナー部分側に第一の不純物領域を、前記コーナー部分と反対に位置する前記浮遊ゲート電極のトンネル絶縁膜と接する端部側に第二の不純物領域を形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項2】 上記浮遊ゲート電極と第一の不純物領域との重なり部分は、この浮遊ゲート電極と第二の不純物領域との重なり部分より大きいことを特徴とする請求項1記載の不揮発性半導体記憶装置の製造方法。

【請求項3】 半導体基板上にトンネル絶縁膜、浮遊ゲート電極形成材料、絶縁膜、制御ゲート電極形成材料を順次形成する工程と、

所定パターンニングしたレジストをマスクに前記浮遊ゲート電極形成材料、絶縁膜、及び制御ゲート電極形成材料を異方性エッチングすることより、浮遊ゲート電極及び制御ゲート電極を形成する工程と、

浮遊ゲート電極を形成した後、前記レジストをマスクに、前記浮遊ゲート電極の露出した両側面を等方性エッチングし、前記トンネル絶縁膜と接する2つのコーナー部分の曲率半径を大きくする工程と、

等方性エッチング後、前記レジストを除去する工程と、レジスト除去後、熱処理を行い前記浮遊ゲート電極の2つのコーナー部分の曲率半径を10nm以上にする工程と、

前記制御ゲート電極下の前記半導体基板にチャンネル領域を規定するように第一の不純物領域及び第二の不純物領域を形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項4】 上記浮遊ゲート電極形成材料に不純物をドーブした多結晶Siを使用し、且つ上記熱処理は酸素雰

囲気で行なうことにより浮遊ゲート電極の周辺部を酸化させる処理であることを特徴とする請求項1又は請求項3記載の不揮発性半導体記憶装置の製造方法。

【請求項5】 上記浮遊ゲート電極形成材料に不純物をドーブした多結晶Siを使用し、且つ上記熱処理は酸素雰囲気で行なうことにより浮遊ゲート電極の周辺部を酸化させ、その後堆積した層間絶縁膜を平坦化する処理であることを特徴とする請求項1又は請求項3記載の不揮発性半導体記憶装置の製造方法。

【請求項6】 上記等方性エッチングは、CF₄ガスとO₂ガスとの混合ガスを用いることを特徴とする請求項4記載の不揮発性半導体記憶装置の製造方法。

【請求項7】 上記浮遊ゲート電極の端部のうちトンネル絶縁膜と接するコーナー部分の曲率半径が50nm以上であることを特徴とする請求項1又は請求項3記載の不揮発性半導体記憶装置の製造方法。

【請求項8】 上記チャンネル領域は、N型領域であり、且つ第一の不純物領域はソース領域であり、且つ第二の不純物領域はドレイン領域であることを特徴とする請求項1又は請求項3記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、電氣的に書き込み及び消去を行なうことが可能な不揮発性半導体記憶装置(EEPROM; Erasable and Electrically Programmable Read Only Memory)に関する。

【0002】

【従来の技術】 EEPROMは、(1)電源供給を断った場合にも、デバイスの記憶情報が消滅しない(不揮発性)、(2)電氣的に消去及び書き込みが可能という特徴を有している。このため、ファクシミリインターフェース設定や短縮ダイアルの登録を始め、システムに組み込んだ後に変更があるデータの保存に使用される等、その用途範囲は広い。

【0003】 それに加え16Mから64M、256Mと大容量化が見え始めた今日においては、携帯情報端末・サブノートパソコン向けのファイル用メモリーとして開発に拍車がかかっている。

【0004】 以下、EEPROMの代表的な構造を、ETOX(EPR OM Thin Oxide)型フラッシュEEPROMを例に説明する。

【0005】 一般にメモリーは、1ビットの情報を記憶する単位回路であるメモリーセルより構成されている。図10のメモリーのブロック図のように、各メモリーセル10には、入力データ及び出力データを転送するビット線11と、ビット線11とメモリーセル10を接続するワード線12が接続され、行デコーダで一本のワード線12を選択した後、そのワード線12上のメモリーセル10にビット線11を介して書き込みを行ったり、メモリーセル10の情報をビット線11を介しセンスアンプ13で増幅し出力バッファ14に転送し読

(3)

み出しを行なっている。

【0006】具体的には、NOR型接続のETOX型フラッシュEEPROMのメモリセルアレイは図11のようになり、一つのメモリセル10を上からみた平面図は図12(a)のようになる。この図12(a)のa-b線に沿って見た断面図が、図12(b)に示すような、浮遊ゲートと制御ゲートの2つのゲート構造を有するMOSFET(Metal Oxide Semiconductor Field Effect Transistor)である。

【0007】この例では、P型半導体基板1にN⁺型のソース領域2及びドレイン領域3が形成され、ソース領域2とドレイン領域3の間に形成されるチャネル領域9上には、トンネル絶縁膜4を介して浮遊ゲート電極5が形成されている。浮遊ゲート電極5上には、下層から順にSi酸化膜/Si窒化膜/Si酸化膜の複合膜(ONO膜6)を介して、制御電極7が形成されている。そして、浮遊ゲート電極5、ONO膜6、及び制御ゲート電極7の周囲には、後酸化膜(熱酸化膜)8が形成されている。

【0008】図13(a)乃至(c)は、上述した従来の不揮発性半導体記憶装置の製造工程を示した断面図である。

【0009】この従来の不揮発性半導体記憶装置の製造方法は、以下のとおりである。

【0010】(1)半導体基板1表面に、トンネル絶縁膜4としてSi酸化膜4aを形成した後、不純物をドーブした多結晶Si膜5aを形成する。そして、多結晶Si膜5a上に、順にSi酸化膜/Si窒化膜/Si酸化膜を堆積してONO膜6を形成した後、不純物をドーブした多結晶Si膜7aを形成する(図13(a)図示)。

【0011】(2)所定パターンニングを行なったレジスト18をマスクに、多結晶Si膜5a、ONO膜6、多結晶Si膜7aを異方性エッチングして、浮遊ゲート電極5及び制御ゲート電極7を形成し(図13(b)図示)、レジスト18を除去する。

【0012】(3)レジスト18をO₂プラズマ処理と硫酸と過酸化水素の混合液で除去し、酸素雰囲気中で熱処理した後酸化膜8を形成した後、制御ゲート電極7を覆うレジスト18をマスクに不純物を注入してソース領域2及びドレイン領域3を形成し、レジスト18を除去する(図13(c)図示)。

【0013】ここで、ソース領域2及びドレイン領域3を含む浮遊ゲート電極の断面における4つの角は、約90°(曲率半径=0)であり、(3)の熱処理により多少丸くなったとしても、その曲率半径は10nm以下である。

【0014】このようなメモリにおいて、データを書き込むには、浮遊ゲート電極5へ電子を注入15し、消去は、浮遊ゲート電極5からの電子の引き抜き16によって行なう。また、読み出しは、浮遊ゲート電極5中の電子数の増減により、制御ゲート電極7からみたしきい値が増減することを利用し、選択メモリセルの所定部に所定電圧を印加した際、電流が流れるか否かで、'1'か'0'かを認識する。

【0015】従って、浮遊ゲート電極5中に存在する電子の量を正確に制御することが、このメモリの記憶情報の正確さにつながっている。

【0016】

【発明が解決しようとする課題】ETOX型フラッシュEEPROMにおいては、特定のメモリセルを指定して消去を行わず、インテリジェント方式等により、一括消去を行なっている。

【0017】図13は、ワード線からみたメモリセルのしきい値電圧と、そのしきい値電圧を有するメモリセルの数の関係を表した図である。

【0018】図13より、各メモリセルにおけるしきい値電圧のばらつきが大きく、同一条件による一括消去の難しいことがわかる。

【0019】また、この点から推測されるが、インテリジェント方式は全メモリセルの消去を確認するまで消去動作を繰り返し行なうため、浮遊ゲート電極から電子を引き抜きすぎたメモリセル、すなわち、図13のように、しきい値電圧が0V以下となる過消去が存在していた。この過消去は、NOR型接続においては、制御ゲート電極が非選択状態(0V)であっても電流が流れるため、同一ビット線上のメモリセルデータが読めなくなる問題となっていた。

【0020】加えて、NOR型接続においては、選択メモリセルと同じワード線上にある非選択メモリセルに、書き込み時に高電圧が加わる、或は読み出し時に低電圧が長時間加わるため、非選択メモリセルの浮遊ゲート電極に電子が入り、記憶状態が不正確になる問題を有していた。

【0021】このため、本発明は、一括消去時の消去動作の回数を低減させ、過消去の発生を防止し、また、書き込み及び読み出し時に生じる記憶保持特性の低下を抑制することを目的とする。

【0022】

【課題を解決するための手段】上記目的を達成するために、本発明の不揮発性半導体記憶装置は、半導体基板の上にトンネル絶縁膜、浮遊ゲート電極形成材料、絶縁膜、制御ゲート電極形成材料を順次形成する工程と、所定パターンニングしたレジストをマスクに前記制御ゲート電極形成材料、絶縁膜、及び浮遊ゲート電極形成材料を異方性エッチングすることより、浮遊ゲート電極及び制御ゲート電極を形成した後、このレジストを除去する工程と、前記浮遊ゲート電極及び前記制御ゲート電極の1つの側面が露出するよう前記浮遊ゲート電極の上にレジストを形成する工程と、このレジストをマスクに前記浮遊ゲート電極の露出した側面を等方性エッチングし、前記浮遊ゲート電極の端部のうち前記トンネル絶縁膜と接するコーナー部分の曲率半径を大きくする工程と、等方性エッチング後、前記レジストを除去する工程と、レジスト除去後、熱処理を行い前記浮遊ゲート電極のコーナー

(4)

部分の曲率半径を10nm以上にする工程と、前記制御ゲート電極下の前記半導体基板にチャネル領域を規定するように、曲率半径が10nm以上の前記浮遊ゲート電極のコーナー部分側に第一の不純物領域を、前記コーナー部分と反対に位置する前記浮遊ゲート電極のトンネル絶縁膜と接する端部側に第二の不純物領域を形成する工程とを有することを特徴とする。

【0023】尚、上記浮遊ゲート電極と第一の不純物領域との重なり部分は、この浮遊ゲート電極と第二の不純物領域との重なり部分より大きいことを特徴とする。

【0024】又、上記目的を達成するために、本発明の不揮発性半導体記憶装置は、半導体基板上にトンネル絶縁膜、浮遊ゲート電極形成材料、絶縁膜、制御ゲート電極形成材料を順次形成する工程と、所定パターンニングしたレジストをマスクに前記浮遊ゲート電極形成材料、絶縁膜、及び制御ゲート電極形成材料を異方性エッチングすることより、浮遊ゲート電極及び制御ゲート電極を形成する工程と、浮遊ゲート電極を形成した後、前記レジストをマスクに、前記浮遊ゲート電極の露出した両側面を等方性エッチングし、前記トンネル絶縁膜と接する2つのコーナー部分の曲率半径を大きくする工程と、等方性エッチング後、前記レジストを除去する工程と、レジスト除去後、熱処理を行い前記浮遊ゲート電極の2つのコーナー部分の曲率半径を10nm以上にする工程と、前記制御ゲート電極下の前記半導体基板にチャネル領域を規定するように第一の不純物領域及び第二の不純物領域を形成する工程とを有することを特徴とする。

【0025】尚、上記浮遊ゲート電極形成材料に不純物をドーパした多結晶Siを使用し、且つ上記熱処理は酸素雰囲気で行なうことにより浮遊ゲート電極の周辺部を酸化させる処理であることを特徴とする。

【0026】尚、上記浮遊ゲート電極形成材料に不純物をドーパした多結晶Siを使用し、且つ上記熱処理は酸素雰囲気で行なうことにより浮遊ゲート電極の周辺部を酸化させ、その後堆積した層間絶縁膜を平坦化する処理であることを特徴とする。

【0027】尚、上記等方性エッチングは、 CF_4 ガスと O_2 ガスとの混合ガスを用いることを特徴とする。

【0028】尚、上記浮遊ゲート電極の端部のうちトンネル絶縁膜と接するコーナー部分の曲率半径が50nm以上であることを特徴とする。

【0029】尚、上記チャネル領域は、N型領域であり、且つ第一の不純物領域はソース領域であり、且つ第二の不純物領域はドレイン領域であることを特徴とする。

【0030】

【作用】ソース領域ードレイン領域に沿った方向に対し、浮遊ゲート電極のトンネル絶縁膜と接するソース領域及びドレイン領域側の角(便宜上、浮遊ゲート電極の角と称す)の曲率半径が10nm以上になっている。立体的

にみると、この断面形状が、ソース領域ードレイン領域に沿った方向に対し垂直な方向に、浮遊ゲート電極の所定の長さにおいて続いている。

【0031】これによれば、浮遊ゲート電極に電圧を印加した時、浮遊ゲート電極の角部分に加わる電界は、従来に比べて小さくなる。

【0032】このため、書き込み及び読み出し時に選択メモリセルのゲート電極に電圧を印加した際、選択メモリセルと同じワード線上にある非選択メモリセルにおいて、ソース領域及びドレイン領域から浮遊ゲート電極へ、電子が注入することを避けられる。

【0033】また、以下に示すような作用も得られる。

【0034】トンネル絶縁膜による電気容量を C_{OX} 、浮遊ゲート電極と制御電極間の絶縁膜による電気容量を C_{ONO} 、浮遊ゲート電極に電圧を印加した場合に生じる浮遊ゲート電極にかかる電圧を V_{FG} 、制御ゲート電極にかかる電圧を V_{CG} とおく。

【0035】 $C_{OX} \cdot V_{FG} = C_{ONO} (V_{CG} - V_{FG})$ より
 $V_{FG} = C_{ONO} (C_{ONO} + C_{OX})^{-1} \cdot V_{CG}$
 (ここに $C_{ONO} (C_{ONO} + C_{OX})^{-1}$ はカップリング比と定義される)となる。

【0036】本発明では、浮遊ゲート電極の角の曲率半径が大きくなったことから、複数のメモリセルにおいて、浮遊ゲート電極への電子の出入りの際、電子が通過する領域にあるトンネル絶縁膜(電気容量を決定するトンネル絶縁膜)のサイズのばらつきが減少する。特に、ソース領域側の浮遊ゲート電極の角の曲率半径が大きくなったことは、トンネル絶縁膜のサイズのばらつき減少に寄与している。なぜなら、ソース領域における浮遊ゲート電極との重なりは、ドレイン領域における重なりより大きいためである。

【0037】これにより、 C_{OX} が均一になるため、カップリング比のばらつきが減少し、制御ゲート電極に印加する電圧が同じ場合、浮遊ゲート電極に加わる電圧、つまり電界は均一になる。

【0038】よって、一括消去を行いやすくなり過消去の発生を防止できる。

【0039】

【実施例】以下、図面を参照して本発明の不揮発性半導体記憶装置を説明する。

【0040】図1(a)及び(b)は、各々本発明の第一の実施例の不揮発性半導体記憶装置を図12のa-b線に沿った線からみた概略断面図、その拡大図である。また図2(a)乃至(d)は、本発明の第一の実施例の不揮発性半導体記憶装置の製造工程を示した概略断面図である。

【0041】図1(a)のように、P型半導体基板1にN型のソース領域2及びドレイン領域3が、ソース領域2とドレイン領域3の間に形成されるチャネル領域9上にはトンネル絶縁膜4を介して、浮遊ゲート電極5が形成されている。浮遊ゲート電極5上には、下層から順にSi

(5)

酸化膜、Si窒化膜、Si酸化膜からなるONO膜6を介して、制御電極7が形成されている。そして、浮遊ゲート電極5、ONO膜6、及び制御ゲート電極7の周囲には、後酸化膜(Si酸化膜)8が形成されている。

【0042】第一の実施例では、図1(b)のように、浮遊ゲート電極5の下面におけるソース領域2側の曲率半径は約50nmになっている。また、トンネル絶縁膜の膜厚及び後酸化膜厚は約10nm、浮遊ゲート電極5とソース領域2の重なりは約100~150nm、ドレイン領域3との重なりは約10~30nmとなっている。

【0043】次に、本実施例の不揮発性半導体記憶装置の製造方法を述べる。

【0044】(1)半導体基板1表面に、トンネル絶縁膜4としてSi酸化膜4aを形成した後、不純物をドーブした多結晶Si膜5aを形成する。そして、多結晶Si膜5a上に、順にSi酸化膜/Si窒化膜/Si酸化膜を堆積してONO膜6を形成した後、不純物をドーブした多結晶Si膜7aを形成する(図2(a)図示)。

【0045】(2)所定パターンニングを行なったレジスト18をマスクに、多結晶Si膜5a、ONO膜6、多結晶Si膜7aを異方性エッチングして、浮遊ゲート電極5及び制御ゲート電極7を形成し、レジスト18を除去する(図2(b)図示)。

【0046】(3)ソース領域2予定側の浮遊ゲート電極5・ONO膜6・制御ゲート電極7の側面、及びこの側面上側の制御ゲート電極7の角以外を覆うレジスト18をパターンニングし(図2(c)図示)、多結晶Si膜5a、7aを選択的に除去するエッチングガス、例えばCF₄とO₂の混合ガスを用いて等方性エッチングを行なう。

【0047】(4)レジスト18をO₂プラズマ処理と硫酸と過酸化水素の混合液で除去し、酸素雰囲気中で熱処理した後酸化膜8を形成した後、制御ゲート電極7を覆うレジスト18をマスクに不純物を注入してソース領域2及びドレイン領域3を形成し、レジスト18を除去する(図2(d)図示)。この後、図示せぬが、層間絶縁膜を形成し平坦化のため熱処理を行なった後、コンタクトホールの開孔、配線を形成することにより、不揮発性半導体装置が形成される。

【0048】(3)の等方性エッチングにおいて、エッチングガス、例えばCF₄とO₂の混合ガスは、多結晶Si膜5a、7aとONO膜6との界面、多結晶Si膜5aとトンネル絶縁膜4との界面に入り易い。そのため、多結晶Si膜5a、7aにおいて界面部分は、他の部分よりエッチングが進み、浮遊ゲート電極5のトンネル絶縁膜4と接する角の曲率半径が大きくなる。さらに、(4)の後酸化膜8の形成時の熱処理により、若しくは後酸化膜8の形成時の熱処理及び層間絶縁膜の平坦化のために行なう熱処理により、浮遊ゲート電極5の周辺部が酸化するため、ソース領域側2の浮遊ゲート電極5のトンネル絶縁膜4と接する角が丸みを生じることができ、最終的に曲率半径を

50nmにすることができる。

【0049】図3は、浮遊ゲート電極から引き抜いた電子を受け取る不純物領域(本実施例ではソース領域2)側における浮遊ゲート電極の角の曲率半径と浮遊ゲート電極5・ソース領域3間の電界の関係を表した図である。この図より、次の2つの傾向を読み取ることができる。

【0050】(傾向1)曲率半径が浮遊ゲート電極5のエッジの曲率半径が大きくなると、そのエッジにおける電界は小さくなる。

【0051】(傾向2)全メモリセルをみた場合、同じ製造工程を経ていながら、必ず浮遊ゲート電極5の角の曲率半径にはばらつきがあった。曲率半径の全体の平均値に対するばらつき Δr による電界のばらつきを ΔE とみると、曲率半径が大きい程、 ΔE は小さくなる。

【0052】以下、この2つの傾向より得られる2つの効果について述べる。

【0053】第一に、本実施例のメモリセルをNOR型接続したメモリにおいて、書き込み・読み出しを行なった場合を考える。

【0054】書き込みを行なう場合には、図4(a)のように、選択メモリセル17の存在するワード線11に12V、ビット線12に6.5V、その他のワード線12、及びビット線11に0Vを印加する。

【0055】このため、選択メモリセル17と同一ワード線11に存在する非選択メモリセルの制御ゲート電極7にも高電圧が印加されるが、本実施例では傾向1より、ソース領域2側の浮遊ゲート電極5の角にかかる電界が小さくなっているため、浮遊ゲート電極5に電子が入る誤書き込みを抑制できる。

【0056】読み出しを行なう場合には、図4(b)のように、選択メモリセル17の存在するワード線11に5V、ビット線12に1V、その他のワード線12及びビット線11に0Vを印加する。

【0057】書き込み時と比較して低電圧ではあるが、読み出しに時間がかかるため、選択メモリセル17と同一ワード線11に存在する非選択メモリセルの制御ゲート電極7に5Vが長時間加わる。しかし、本実施例では傾向1より、ソース領域2側の浮遊ゲート電極5の角にかかる電界が小さくなっているため、浮遊ゲート電極5に電子が入る誤書き込みを抑制できる。

【0058】周知のとおり、図5のように、浮遊ゲート電極に電子の注入または引き抜きを行っていない初期状態に比べ、書き込み後のソース・ドレイン間の電流 I_{DS} とゲート電極にかかる電圧 V_{CG} 関係を表す特性は、従来に比べ右にシフトし、しきい値電圧 V_{th1} は上昇し V_{th1} となる。また、消去後の I_{DS} と V_{CG} 関係を表す特性は、左にシフトし、しきい値電圧は低下し V_{th2} となる。

【0059】本実施例では、書き込み時または読み出し時の誤書き込みを抑制できるため、 V_{th1} と V_{th2} の差 ΔV_{th} を保持することができる。

(6)

【0060】すなわち、記憶状態を長期間、正確に維持できる。従って、従来より、記憶特性の向上が図れる。

【0061】第二に、16ビット×L×10^Mワード(L=2^N/16; N, M 自然数)構成のメモリセルにおいて一括消去を行なう場合を考える。

【0062】消去においては、図6にフローチャートを示したように、インテリジェント・イレース方式を採用した。

【0063】最初に各ワード線上の16メモリセルをチェックし、書き込み状態でないメモリセルに書き込みを行い、全メモリセルの書き込みを確認後、選択メモリセルのアドレスを0から順にL×10^M-1まで指定し、各々について次の工程を行なう。同一ワード線上の16のメモリセルの所定部に所定電圧を10m秒与え、浮遊ゲート電極中の電子を引き抜く消去動作を行なった後、1つのメモリセルを読み出し、それが消去状態になるまで、消去動作・読み出しを交互に行なう(この一連の作業を、サイクル工程と呼ぶ)。そして、16のメモリセルの消去を確認するまで、メモリセルを一つずつチェックし、未消去のメモリセルを発見した場合にはサイクル工程を行なう。

【0064】図7は、一括消去の結果について、ワード線からみたメモリセルのしきい値電圧と、そのしきい値電圧を有するメモリセルの数の関係を表した図である。

【0065】この図より、しきい値電圧のばらつきは従来に比べ減少し、さらにしきい値電圧が0V以下の過消去が存在しないことがわかる。

【0066】理由は、一連の消去動作において本実施例のメモリセルは、傾向1より、浮遊ゲート電極5の角に高電界が働かないため、浮遊ゲート電極5からの過度の電子の引き抜きを抑制できるからである。

【0067】また、傾向2より、各メモリセルにおいて、メモリセルに電圧を印加した際生じる各メモリセルの電界のばらつきが減少したため、各メモリセルの浮遊ゲート電極5中の電子の量を同一条件で同様に制御できるからである。

【0068】以上より、ETOX型フラッシュEEPROMにおいては、少ない消去動作回数で一括消去を行なえ、過消去防止の効果をえられる。

【0069】従って本実施例によれば、過消去を防止でき、且つ、記憶保持特性を向上できる。

【0070】次に、第一の実施例の応用例を述べる。

【0071】図8(a)及び(b)は、各々本発明の第一の実施例の応用例にかかる不揮発性半導体記憶装置を図12のa-b線に沿った線からみた概略断面図、その拡大図である。また図9(a)乃至(d)は、本発明の第一の実施例の不揮発性半導体記憶装置の製造工程を示した概略断面図である。

【0072】図8(a)及び(b)のように、この不揮発性半導体記憶装置は、浮遊ゲート電極5の下面におけるソー

ス領域2側及びドレイン領域3側の両サイドにあるエッジの曲率半径が、50nmになっている。また、トンネル絶縁膜4の膜厚及び後酸化膜8厚は約10nm、浮遊ゲート電極5とソース領域2の重なりは約100~150nm、ドレイン領域3との重なりは約10~30nmとなっている。

【0073】本実施例の不揮発性半導体記憶装置の製造方法は、次のとおりである。

【0074】(1)半導体基板1表面に、トンネル絶縁膜4としてSi酸化膜4aを形成した後、不純物をドーブした多結晶Si膜5aを形成する。そして、多結晶Si膜5a上に、順にSi酸化膜/Si窒化膜/Si酸化膜を堆積してONO膜6を形成した後、不純物をドーブした多結晶Si膜7aを形成する(図9(a)図示)。

【0075】(2)所定パターンニングを行なったレジスト18をマスクに、多結晶Si膜5a、ONO膜6、多結晶Si膜7aを異方性エッチングして、浮遊ゲート電極5及び制御ゲート電極7を形成する(図9(b)図示)。次に、多結晶Si膜5a,7aを選択的に除去するエッチングガスを用いて、例えばCF₄とO₂の混合ガスを用いて等方性エッチングを行なう(図9(c)図示)。

【0076】(3)レジスト18をO₂プラズマ処理と硫酸と過酸化水素の混合液で除去し、酸素雰囲気中で熱処理した後酸化膜8を形成した後、制御ゲート電極7を覆うレジスト18をマスクに不純物を注入してソース領域2及びドレイン領域3を形成し、レジスト18を除去する(図9(d)図示)。この後、図示せぬが、層間絶縁膜を形成し平坦化のため熱処理を行なった後、コンタクトホールの開孔、配線を形成することにより、不揮発性半導体装置が形成される。

【0077】(2)の等方性エッチング、(3)の後酸化膜の形成時の熱処理、若しくは、(2)の等方性エッチング、(3)の後酸化膜の形成時、及び層間絶縁膜の平坦化のための熱処理により、ソース領域2側及びドレイン領域3側の浮遊ゲート電極5のトンネル絶縁膜4と接する角の曲率半径を50nmに加工することができる。

【0078】これによれば、第一の実施例と同じくソース領域2側の浮遊ゲート電極5の角に高い電界がかからず、さらにドレイン領域3側の角に高い電界がかからないため、書き込み時・読み出し時の誤書き込みを防止できる。

【0079】また、上記理由に加え、本実施例は、複数のメモリセルにおけるカップリング比のばらつきが第一の実施例よりさらに減少するため、浮遊ゲート電極7における電子の量を高度に制御できる。

【0080】よって本実施例によれば、信頼性の高い記憶状態を長時間保持することができる。

【0081】尚、第一の実施例及び第二の実施例において、ONO膜6は、浮遊ゲート電極5と制御電極7間の容量を大きくし、制御ゲート電極7の電位が浮遊ゲート電極の電位に伴い変化し易くするため好ましいが、絶縁膜

(7)

であれば良くその種類及び層の数は問わない。但しSi窒化膜は電子をトラップする性質をもつため、浮遊ゲート電極5 または制御ゲート電極7 と直に接する膜は、Si窒化膜以外が良い。

【0082】また、ソース領域2 及びドレイン領域3 を形成するためイオン注入する不純物は、P 又はAsなどN型不純物であれば良い。

【0083】

【発明の効果】本発明は、上述のように構成されているので、記憶情報の信頼性を向上させた記憶保持特性の高い不揮発性半導体記憶装置をえることができる。

【図面の簡単な説明】

【図1】(a) 及び(b) は、各々本発明の第一の実施例の不揮発性半導体記憶装置を示す概略断面図、その一部分の拡大図である。

【図2】(a) 乃至(d) は、本発明の第一の実施例の不揮発性半導体記憶装置の製造工程を示す断面図である。

【図3】浮遊ゲート電極から電子を受ける不純物領域・浮遊ゲート電極間の電界と、電子を放出する浮遊ゲート電極の角の曲率半径との関係を表した図である。

【図4】(a) 及び(b) は、各々NOR 型のEEPROMにおける書き込み・読みし時のメモリセルアレイを示す概略図である。

【図5】NチャンネルMOSFETのソース・ドレイン間の電流値とゲート電圧の関係を表した図である。

【図6】インテリジェント・イレーズ方式のフローチャートである。

【図7】消去を行なった後の、ワード線からみたしきい値とそのしきい値を有する本実施例のメモリセル数の関係を示す図である。

【図8】(a) 及び(b) は、各々本発明の第一の実施例の応用例にかかる不揮発性半導体記憶装置を示す概略断面図、その一部分の拡大図である。

【図9】(a) 乃至(d) は、本発明の第一の実施例の応用例にかかる不揮発性半導体記憶装置の製造工程を示す断

面図である。

【図10】フラッシュメモリの一般的な構成を示す概略平面図である。

【図11】図10に示されたメモリセルアレイの概略構成を示す等価回路図である。

【図12】(a) 及び(b) は、各々従来のフラッシュメモリに含まれる不揮発性半導体記憶装置の平面図、(a) の a - b 線に沿ってみた断面図である。

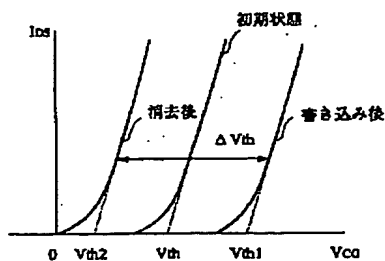
【図13】(a) 乃至(c) は、従来の不揮発性半導体記憶装置の製造工程を示す断面図である。

【図14】消去を行なった後の、ワード線からみたしきい値とそのしきい値を有する従来例のメモリセル数の関係を示す図である。

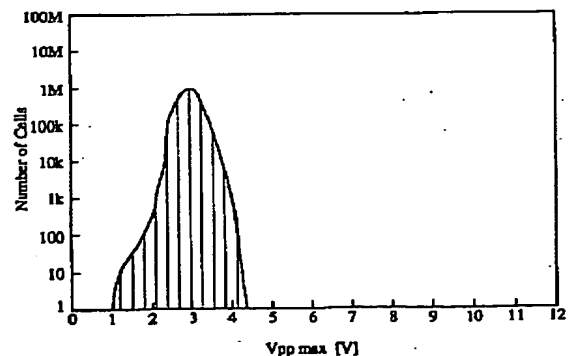
【符号の説明】

- 1 基板
- 2 ソース領域
- 3 ドレイン領域
- 4 トンネル絶縁膜
- 4a Si酸化膜
- 5 浮遊ゲート電極
- 5a, 7a 多結晶Si膜
- 6 ONO 膜
- 7 制御ゲート電極
- 8 後酸化膜
- 9 チャンネル領域
- 10 メモリセル
- 11 ビット線
- 12 ワード線
- 13 センスアンプ
- 14 入出力バッファ
- 15 電子注入
- 16 電子の引き抜き
- 17 選択メモリセル
- 18 レジスト

【図5】

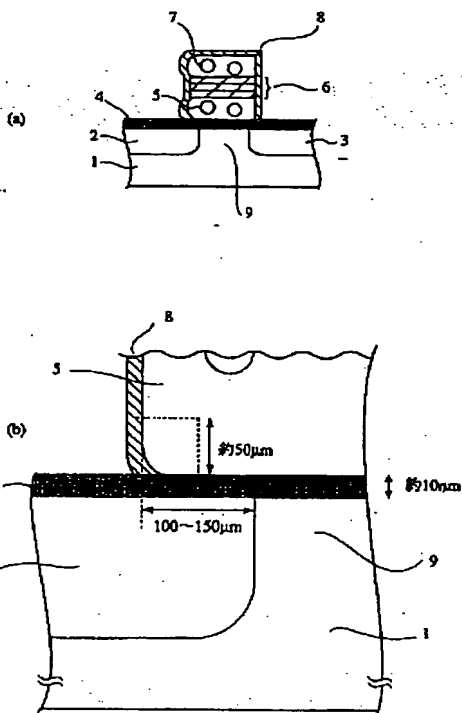


【図7】

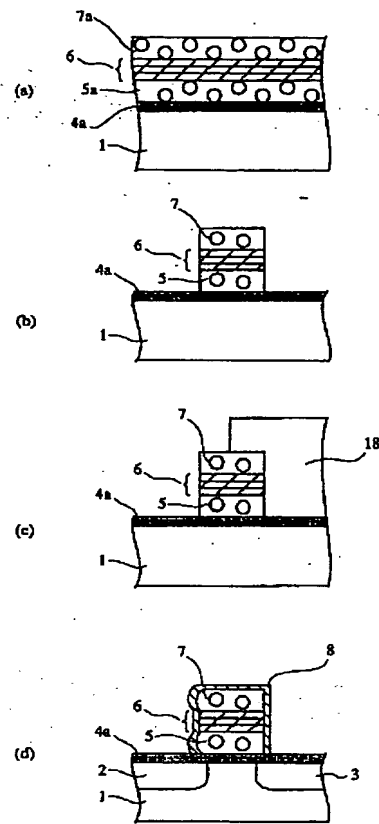


(8)

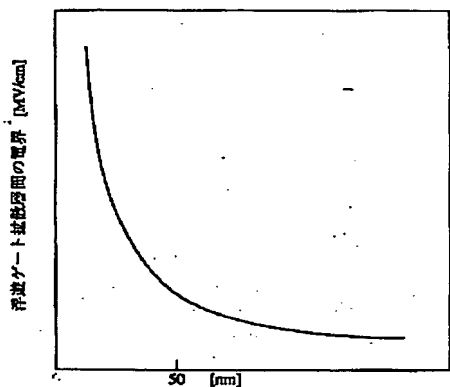
【図1】



【図2】

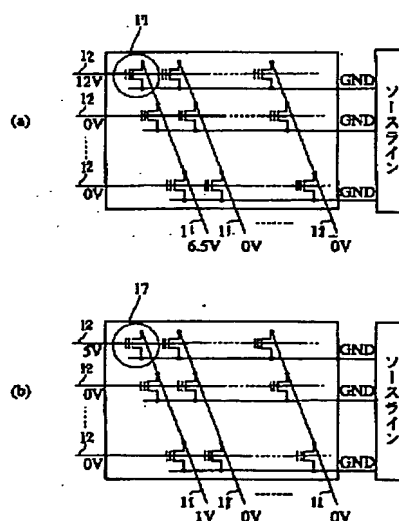


【図3】

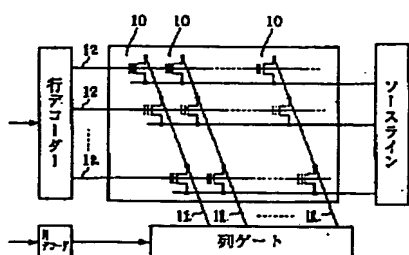


浮遊ゲートの拡散層に電子を流す際の角の曲率半径

【図4】

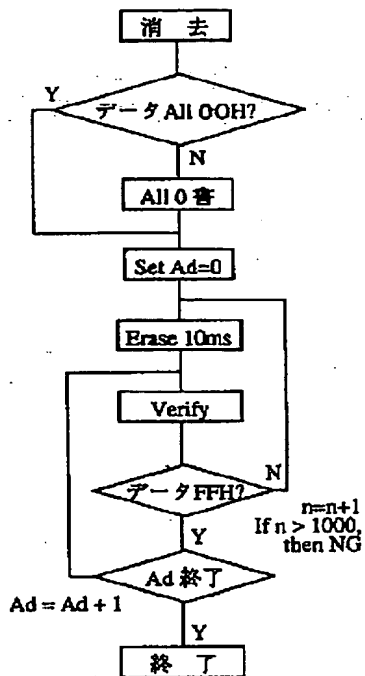


【図11】

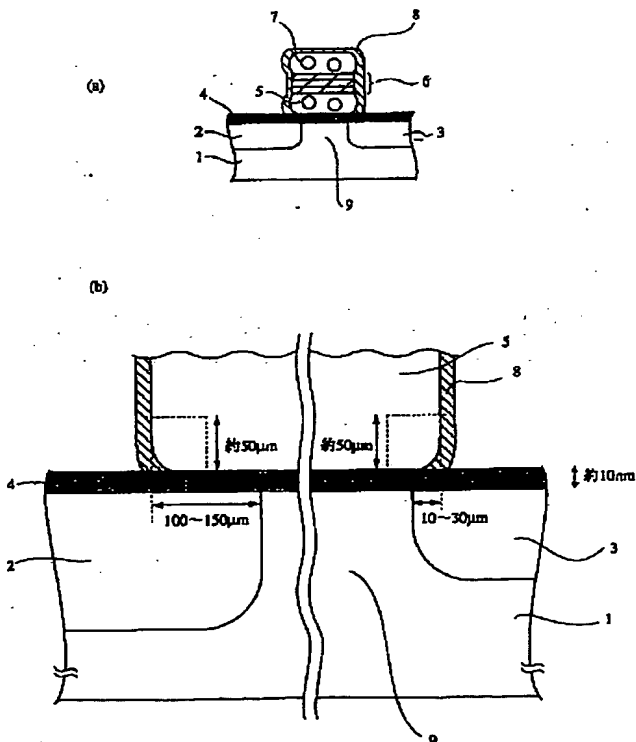


(9)

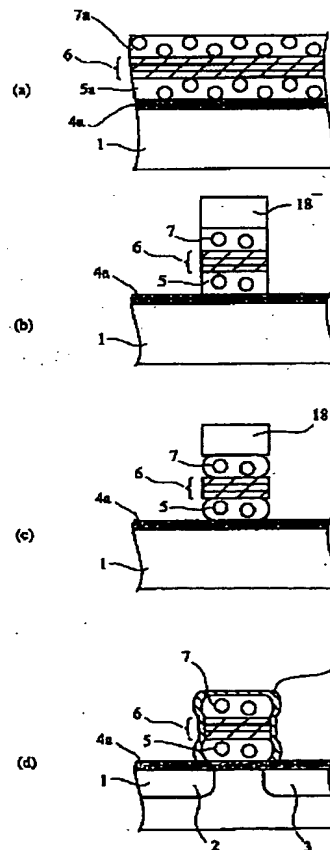
【図6】



【図8】

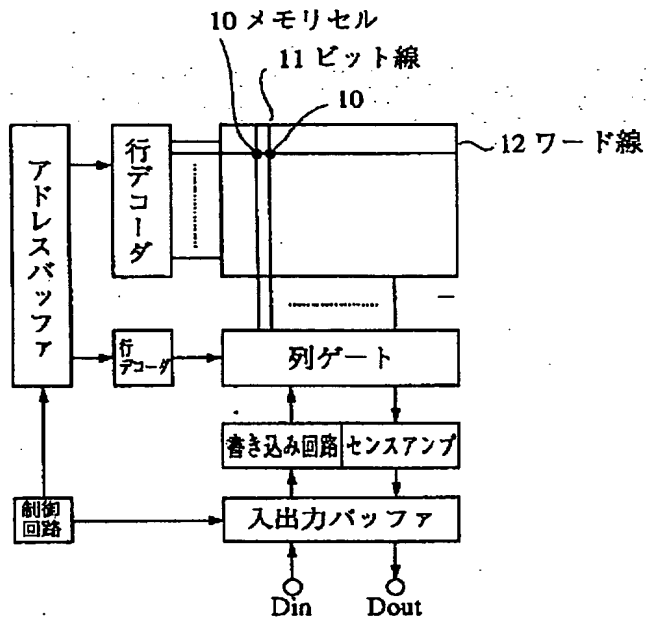


【図9】

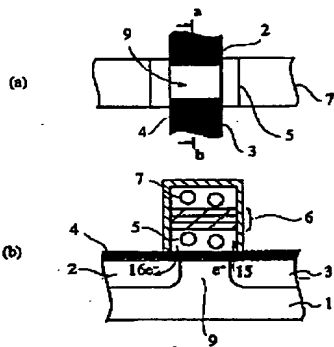


(10)

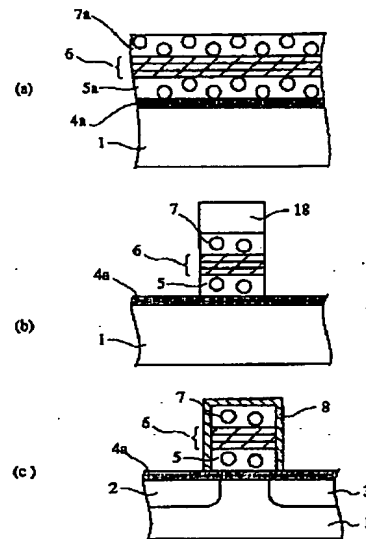
【図10】



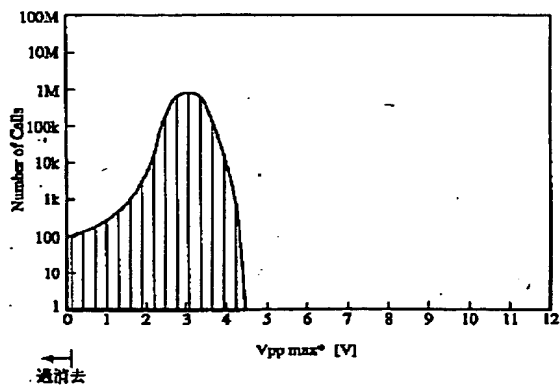
【図12】



【図13】



【図14】



(11)

【手續補正書】

【提出日】平成7年7月25日

【手續補正1】

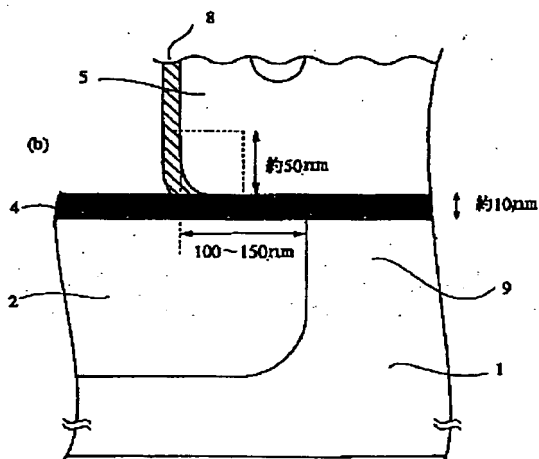
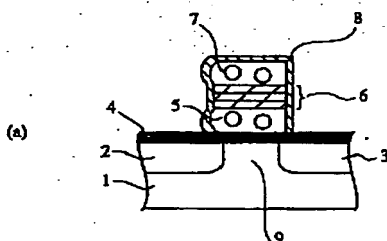
【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】



【手續補正2】

【補正対象書類名】図面

【補正対象項目名】図8

【補正方法】変更

【補正内容】

【図8】

(12)

